

## Arhitectura calculatoarelor 2. Laborator 3.

### Ciclurile de citire/scriere din/în memorie pentru microprocesorul Z80 Ciclurile de citire/scriere din/în port pentru microprocesorul Z80

#### 1. Obiectivul lucrării

Scopul lucrării este să prezinte cronologic desfășurarea unui ciclu de citire/scriere al microprocesorului Z80, analizând stările și tranzițiile principalelor semnale implicate.

#### 2. Problematika lucrării

Execuția unei instrucțiuni este constituită dintr-o secvență specifică de operații ca, de exemplu, citire/scriere în memoria externă, citire/scriere într-un port de intrare/ieșire sau achitare de întrerupere. Fiecare din aceste operații poate dura 4-6 perioade ale semnalului de tact CLK; perioada ceasului este denumită ciclu sau stare T (T1, T2,...), iar operația de bază, ciclu mașină M (M1, M2,...). Un ciclu mașină poate fi prelungit prin inserarea de stări de așteptare, dacă se activează semnalul corespunzător WAIT/. Execuția unei instrucțiuni, un ciclu instrucțiune, va consta, deci, dintr-o succesiune de cicluri mașină M executate la rândul lor în mai multe stări T (ca în figura 1.)

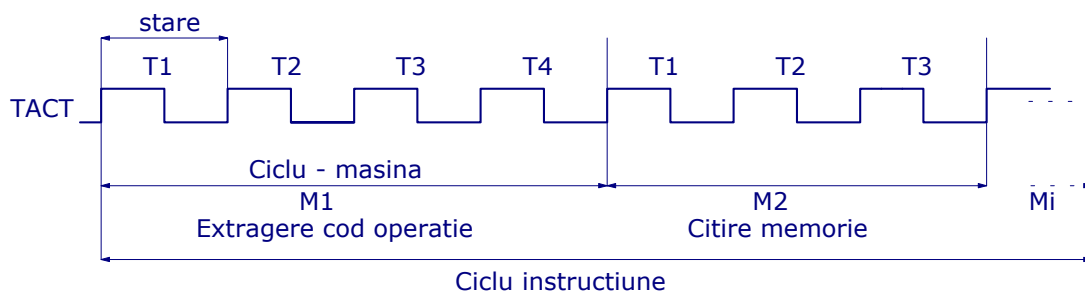


Figura 1.

Primul ciclu mașină al oricărei instrucțiuni este un ciclu de citire din memorie al codului de operație al instrucțiunii care va fi executată (ciclu de fetch).

Semnalele care apar în ciclurile mașină prezentate în continuare sînt :

- MREQ/ indică citire/scriere în memorie
- IORQ/ indică citire/scriere într-un port de intrare/ieșire
- M1/ indică ciclul de fetch ( ciclu M1 )
- RD/ indică operația de citire
- WR/ indică operația de scriere
- RFSH/ servește la reîmprospătarea memoriei dinamice. Acest semnal are un caracter auxiliar. Folosirea sa este opțională.

#### 2.1 Ciclu de citire al codului de operație

În figura 2. se prezintă diagrama unui ciclu de citire al codului de operație, fără stări de așteptare. Desfășurarea sa, stare cu stare, este următoarea :

T1: Microprocesorul depune adresa pe magistrala de adresă (liniile A0 - A15) și activează M1/. Pe frontul negativ al ceasului se activează MREQ/ și RD/ ceea ce permite decodificarea adreselor și selectarea memoriei care conține programul.

T2: Pe frontul negativ al ceasului se testează WAIT/. Dacă acesta ar fi găsit activ ("0"), microprocesorul introduce stări de așteptare.

T3: Pe frontul pozitiv al ceasului datele de pe magistrala de date (liniile D0 - D7) sînt preluate de microprocesor și apoi se dezactivează MREQ/ și RD/. De asemenea se activează adresa de reîmprospătare (pe liniile A0 - A7) și RFSH/. Pe frontul negativ al ceasului se reactivează MREQ/, de data aceasta pentru reîmprospătarea memoriilor dinamice.

Stările T3 și T4 sînt folosite de microprocesor pentru a realiza în paralel două operații: decodificarea și executia instrucțiunii extrase (operații interne) concomitent cu reîmprospătarea memoriei dinamice (operație externă).

T4: Se dezactivează MREQ/ și apoi RFSH/.

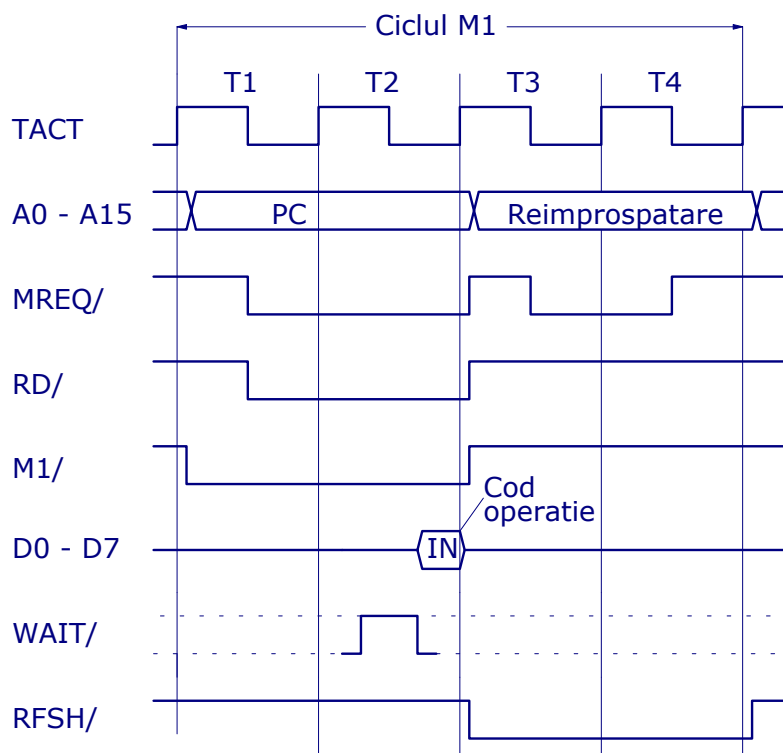


Figura 2.

## 2.2 Ciclurile de citire și scriere în memorie

În figura 3. se prezintă diagrama ciclurilor de citire și scriere în memorie, fără stări de așteptare. Aceste cicluri durează 3 stări, în afara cazurilor când se activează intrarea WAIT/. Desfășurarea lor, stare cu stare, este următoarea :

T1: Microprocesorul depune adresa pe magistrala de adrese (liniile A0 - A15). La citire se activează MREQ/ și RD/. La scriere se activează MREQ/ și se plasează pe liniile D0 - D7 datele care vor fi scrise în memorie.

T2: Pe frontul negativ al ceasului se testează WAIT/. Dacă acesta ar fi găsit activ ( "0" ), microprocesorul introduce stări de așteptare. La scriere, se activează WR/.

T3: La citire, pe frontul negativ al ceasului datele de pe magistrala de date (liniile D0 - D7) sînt preluate de microprocesor și apoi se dezactivează MREQ/ și RD/ .

La scriere, pe frontul negativ al ceasului datele de pe magistrala de date (liniile D0 - D7) sînt scrise în memorie și apoi se dezactivează MREQ/ și WR/.

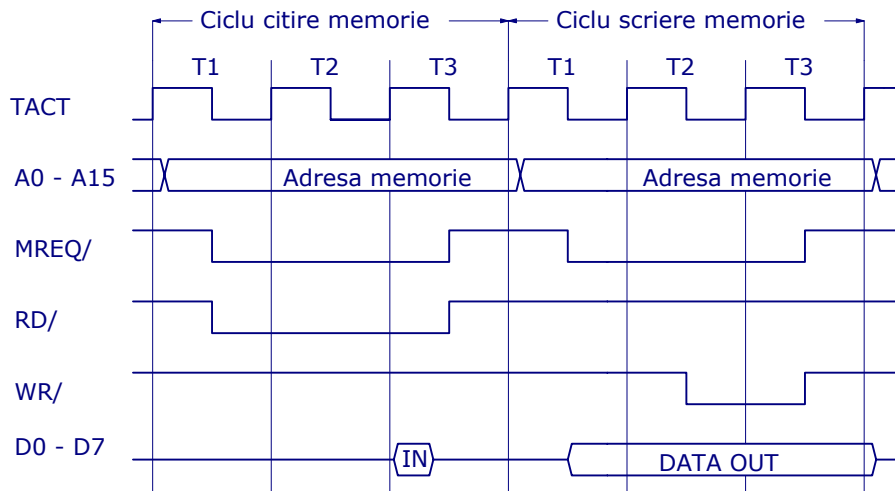


Figura 3.

### 2.3 Ciclurile de citire și scriere într-un port de intrare/ieșire

În figura 4. se prezintă diagrama ciclurilor de citire și de scriere într-un port de intrare/ieșire. Microprocesorul introduce automat după starea T2 o stare de așteptare pentru a permite circuitului selectat să-și decodifice adresa. Desfășurarea ciclului, stare cu stare, este următoarea:

T1: Microprocesorul depune adresa pe magistrala de adrese (liniile A0 - A15). La scriere se plasează pe liniile D0 - D7 datele care vor fi scrise în port.

T2: La citire se activează IORQ/ și RD/. La scriere se activează IORQ/ și WR/.

Tw: Pe frontul negativ al ceasului se testează WAIT/. Dacă acesta ar fi găsit activ ("0"), microprocesorul introduce noi stări de așteptare.

T3: La citire, pe frontul negativ al ceasului, datele de pe magistrala de date (liniile D0 - D7) sînt preluate de microprocesor și apoi se dezactivează IORQ/ și RD/ .

La scriere, pe frontul negativ al ceasului datele de pe magistrala de date (liniile D0 - D7) sînt scrise în port și apoi se dezactivează IORQ/ și WR/ .

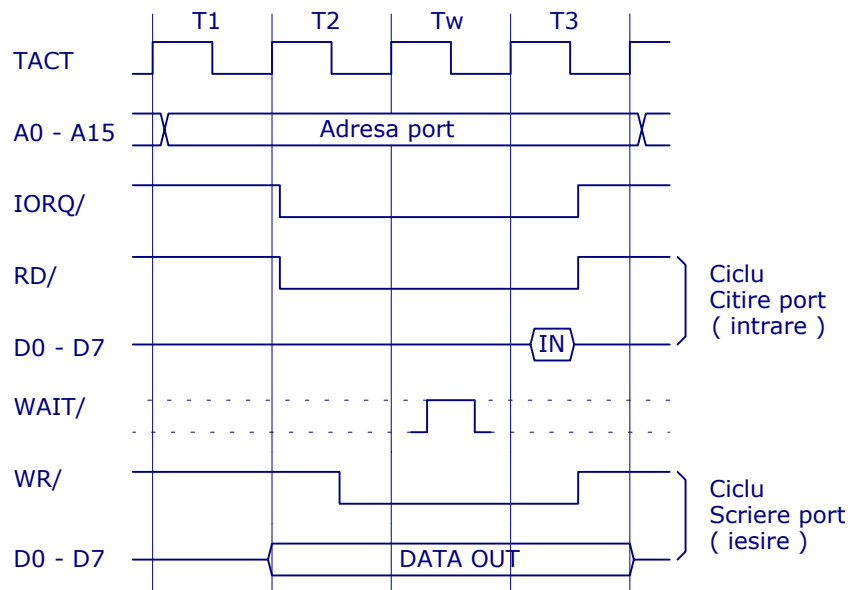


Figura 4.

## 2.4 Ordinea de activare a semnalelor

Operarea pe magistrală presupune o anumită ordine de activare a semnalelor, pentru a asigura transferul corect al datelor.

În primul rând, microprocesorul trebuie să depună adresa înaintea activării semnalelor de comandă. În caz contrar, s-ar putea selecta un dispozitiv în timp ce adresele nu sînt încă stabile.

După transferarea datelor semnalelele sînt retrase în ordine inversă; mai întîi se dezactivează semnalelele de control și apoi se retrag adresele.

## 3. Desfășurarea lucrării

Se vor scrie programe, în limbaj de asamblare, care să aibă ca efect execuția următoarelor tipuri de cicluri mașină (fiecare dintre ele ca parte a unui anumit ciclu de instrucție):

- ciclu de fetch
- ciclu de citire din memorie
- ciclu de scriere în memorie
- ciclu de citire din port.
- ciclu de scriere în port.

Folosind osciloscopul sau analizorul logic se vor ridica diagramele de semnale.