

Arhitectura Calculatoarelor 2. Laborator 10.

Proiect la Arhitectura Calculatoarelor 2.

1. Obiectivul lucrării.

Lucrarea are un caracter de mini-proiect, cu obiectivul de a proiecta, aproape complet, un sistem de sine stătător cu microprocesor Z80. Se omit de la proiectare: schemele de generare a semnalelor de tact și reset, componentele de conectică, legarea și filtrarea sursei de alimentare cu +5V, legarea intrărilor nefolosite ale procesorului și ale PIO.

2. Tema lucrării.

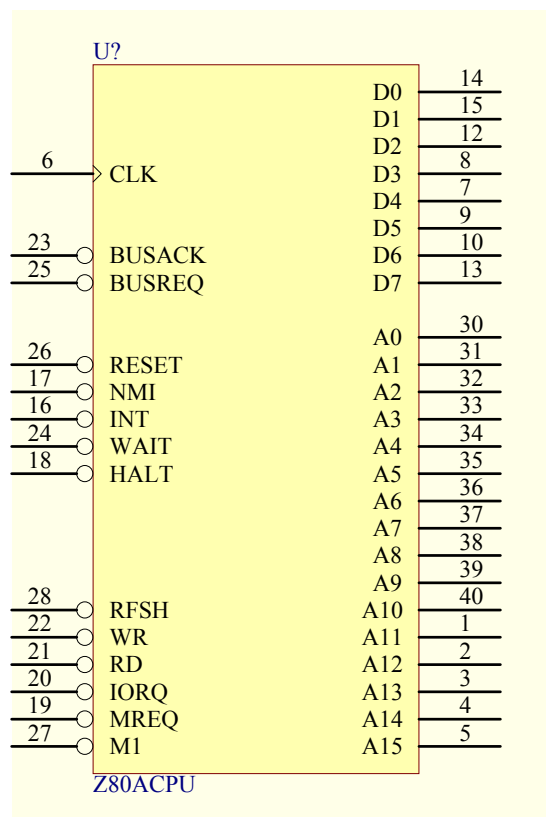
Să se proiecteze un sistem bazat pe microprocesorul Z80, avînd următoarele resurse:

- 16 kocteți de memorie EPROM
- 32 kocteți de memorie RAM
- un port paralel de tip Z80-PIO

Se vor conecta aceste resurse la microprocesor, cu proiectarea completă a schemei de generare a semnalelor de selecție.

Se va configura PIO cu canalul A ca intrare și canalul B ca ieșire. Se vor lega la intrările A0, A1 două comutatoare care să aducă la aceste intrări stările 0 logic sau 1 logic. Se vor lega la ieșirile B0, B1 două leduri. Se va scrie un program care să configureze PIO și să semnalizeze, permanent, pe cele două leduri, starea celor două intrări.

În afară de componentele simple (porți logice, rezistoare, leduri, comutatoare etc.) se vor folosi următoarele circuite integrate:



Microprocesor Z80.

D0..7 – magistrala de date.

A0..15 – magistrala de adrese

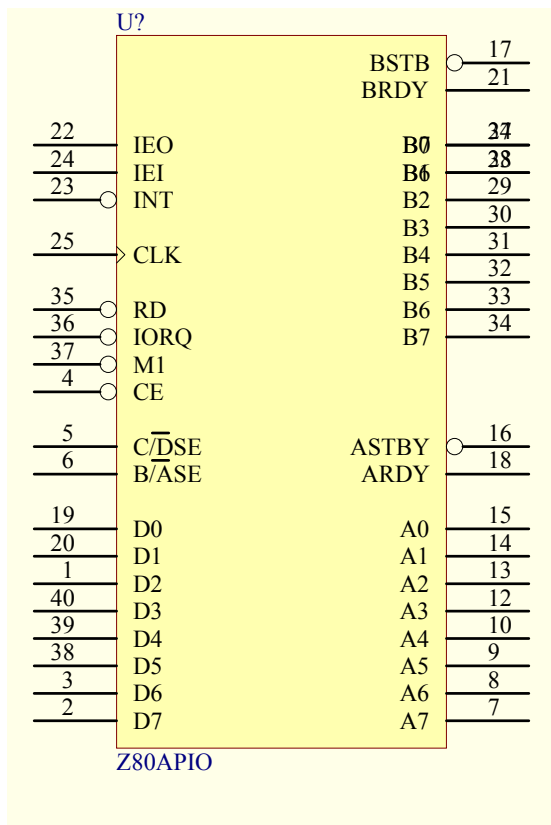
MREQ\, IORQ\, RD\, WR\, M1\ –
semnale de control.

CLK și RESET\ se leagă, în principiu, la
circuitul de generare a semnalelor de
tact și de reset.

INT\ și NMI\, intrările de cerere de
întrerupere mascabilă și nemascabilă,
rămîn nefolosite și se leagă la 1 logic.

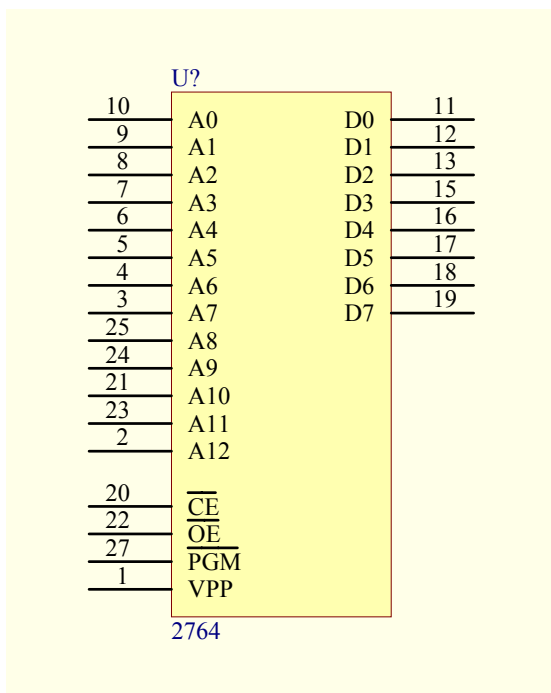
WAIT\, HALT\ și BUSREQ\ se leagă la
1 logic.

Ieșirile BUSACK\ și RFSH\ nu se
folosesc.



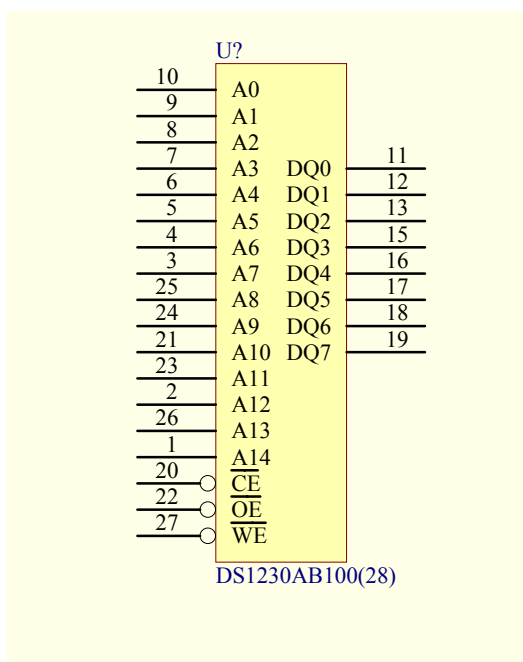
Port paralel programabil Z80-PIO.

Semnalele de control se leagă la semnalele omonime ale microprocesorului.
 Semnalele care selectează canalul A sau B, respectiv portul de comenzi sau date, se leagă la liniile de adrese A1 și A0.
 Întreruperile și semnalele de sincronizare a transferului nu se folosesc.



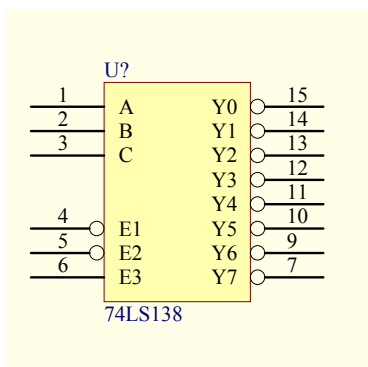
Memorie EPROM 8 kocteti.

Pinul CE\ (chip enable) se activează de logica de generare a semnalelor de selecție, iar OE\ (output enable) de semnalul de citire al microprocesorului.
 Semnalele PGM\ și Vpp se folosesc în timpul programării. PGM\ se leagă la 1 logic.



Memorie RAM static de 32 kocteți.

CE\ și OE\ se leagă la fel ca la EPROM iar WE\ (write enable) se activează de către semnalul de scriere al microprocesorului.



Decodificator “3 la 8”.

Intrările de validare, E1\, E2\ și E3 trebuie să fie toate active.

Notă: Reprezentările grafice ale circuitelor integrate, cele de mai sus, sînt importate din biblioteca unei aplicații de proiectare a schemelor electrice și cablajelor imprimate. Cifrele din afara dreptunghiurilor reprezintă numărul pinului în capsulă. Această informație nu prezintă interes pentru proiectul nostru, prin urmare o puteți ignora. În schimb, este necesar să notați semnificația semnalului în contextul proiectului. De exemplu, la PIO, pinii C/D și B/A se leagă la semnalele A0 și A1 ale magistralei de adrese. Revedeți ultima lucrare din semestrul întâi pentru exemplificare..

3. Condiții de predare și examinare.

Pentru execuția proiectului se alocă o ședință de laborator și, dacă este necesar, se continuă lucrul ca temă pentru acasă. Examinarea se face în săptămîna următoare. Proiectul va conține schema electrică și programul în limbaj de asamblare. Proiectul se va prezenta editat pe suport direct examinabil (hîrtie), în stil "clasic" (cu creionul), sau echivalent (dar nu mai rău).